

CLIPPEDIMAGE= JP405257343A

PAT-NO: JP405257343A

DOCUMENT-IDENTIFIER: JP 05257343 A

TITLE: PROCESSING KIT

PUBN-DATE: October 8, 1993

INVENTOR-INFORMATION:

NAME

TSUCHIYA, HIROAKI

ASSIGNEE-INFORMATION:

NAME

CANON INC

COUNTRY

N/A

APPL-NO: JP04136417

APPL-DATE: May 28, 1992

INT-CL (IPC): G03G015/00;G03G015/00 ;G03G015/02 ;G03G015/04 ;G03G015/06

US-CL-CURRENT: 399/8,399/111

ABSTRACT:

PURPOSE: To automatically control image forming condition corresponding to characteristic of the processing kit from the device main body side corresponding to the state of use of the processing kit by providing a means to store the image forming condition corresponding to the characteristic of the processing kit and a means to store the used quantity of the processing kit by loading the processing kit to the image forming device main body.

CONSTITUTION: A storage element 10 is built into a unit 18 and connected to CPU 12 provided on the main body side. Information to determine exposure quantity, electrification quantity and developing bias value destaticizing exposure quantity are stored to the storage element 10 so that each part of the unit 18 is operated under an appropriate image forming condition according to their various characteristics, and a lamp lighting circuit 13 of the main body side, a high voltage transformer 14, 15, a developing bias circuit 16 and a destaticizing lamp circuit 17 are driven by the CPU 12 according to the information. Then, the use amount of the kit, that is the unit 18, in other words the endured amount and the environment of use is detected to vary the amount of adjustment according to the information of the detection means.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-257343

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 3 G 15/00	1 0 1 3 0 3	8910-2H		
15/02	1 0 1			
15/04	1 2 0	9122-2H		
15/06	1 0 1			

審査請求 有 発明の数 1(全 6 頁)

(21)出願番号 特願平4-136417
(62)分割の表示 特願昭57-16073の分割
(22)出願日 昭和57年(1982)2月3日

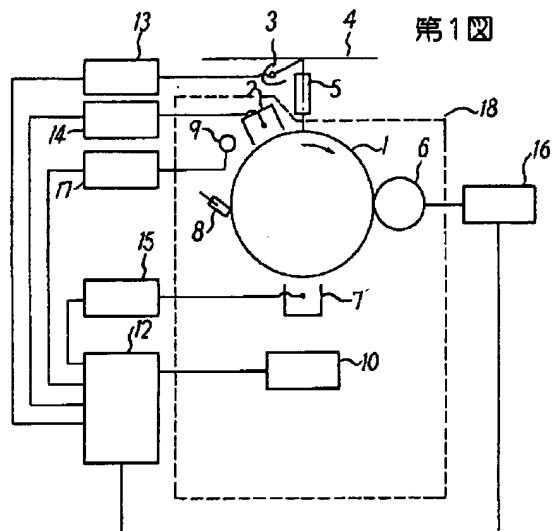
(71)出願人 000001007
キャノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 土屋廣明
東京都大田区下丸子3丁目30番2号 キャ
ノン株式会社内
(74)代理人 弁理士 本多 小平 (外4名)

(54)【発明の名称】 プロセスキット

(57)【要約】

【目的】 プロセスキットを画像形成装置本体に装着すれば、プロセスキットが有する特性に応じた像形成条件をプロセスキットの使用状況に応じて自動的に装置本体側で制御することができて、常に安定な画像を形成することのできるプロセスキットを提供する。

【構成】 画像形成装置本体に装着可能なプロセスキットにおいて、像担持体と、前記像担持体に作用するプロセス手段と、プロセスキットが有する特性に応じた像形成条件を記憶する第一記憶手段と、プロセスキットの使用量を記憶する第二記憶手段と、を有することを特徴とするプロセスキット。



【特許請求の範囲】

【1】画像形成装置本体に装着可能なプロセスキットにおいて、
像担持体と、
前記像担持体に作用するプロセス手段と、
プロセスキットが有する特性に応じた像形成条件を記憶する第一記憶手段と、
プロセスキットの使用量を記憶する第二記憶手段と、を有することを特徴とするプロセスキット。

【2】前記プロセスキットは、前記プロセス手段としての帯電手段、現像手段、クリーニング手段の少なくとも一つと前記像担持体としての電子写真感光体とを一体的にユニット化して画像形成装置本体に対して着脱可能とするものである特許請求の範囲第1項に記載のプロセスキット。

【3】前記像形成条件は、前記像担持体としての電子写真感光体を露光する露光量を含む特許請求の範囲第1項に記載のプロセスキット。

【4】前記像形成条件は、前記像担持体としての電子写真感光体を帯電する帯電量を含む特許請求の範囲第1項に記載のプロセスキット。

【5】前記像形成条件は、前記像担持体としての電子写真感光体の潜像を現像するための現像バイアスを含む特許請求の範囲第1項に記載のプロセスキット。

【6】前記第一記憶手段はROMを有する特許請求の範囲第1項に記載のプロセスキット。

【7】前記第二記憶手段はRAMを有する特許請求の範囲第1項に記載のプロセスキット。

【8】前記プロセスキットはさらに環境検知手段を有する特許請求の範囲第1項に記載のプロセスキット。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像形成装置本体に着脱可能なプロセスキットに関する。

【0002】

【従来の技術】例えば、電子写真装置においては、従来感光体等のユニットを交換するたびに、露光量、帯電量の再調整が必要で、さらには現像バイアス値の再調整も必要であった。すなわち適正画像を得るために、これらの調整が必要で、このような調整は極めて煩雑であった。さらに、ユニットの使用量すなわち耐久量および使用環境によって特性に変化を生ずるものは、その都度、調整が必要で、これらの調整作業は熟練したサービス性を必要とし、また信頼性の乏しい点で不都合であった。

【0003】

【発明が解決しようとする課題】本発明の目的は、プロセスキットを画像形成装置本体に装着すれば、プロセスキットが有する特性に応じた像形成条件をプロセスキットの使用状況に応じて自動的に装置本体側で制御することができて、常に安定な画像を形成することのできるブ

ロセスキットを提供することにある。

【0004】

【課題を解決するための手段】前記目的を達成する本発明は、画像形成装置本体に装着可能なプロセスキットにおいて、像担持体と、前記像担持体に作用するプロセス手段と、プロセスキットが有する特性に応じた像形成条件を記憶する第一記憶手段と、プロセスキットの使用量を記憶する第二記憶手段と、を有することを特徴とするプロセスキットである。

【0005】

【実施例】以下、図面を参照して、本発明の実施例について説明する。

【0006】なお以下説明する実施例は、本体装置に対して着脱可能なユニット状のプロセスキットであって、キット内の像形成部材の特性に応じて本体装置側の像形成条件を設定する電気的記憶素子を有したプロセスキットである。また、以下説明する実施例は、着脱可能なプロセスキットを装填し像形成する画像形成装置であって、キット内の電気的記憶素子の電気信号を受けるコネクタ手段と、このコネクタ手段を介して受けた電気信号に基いて駆動する像形成手段とを有する画像形成装置である。

【0007】さて図1は、本発明を電子写真複写機について実施した一実施例を示す。図中、1は像担持体、すなわち感光体、2は帯電器、3は露光ランプ、4は原稿、5は原稿画像を感光体上に結像させる短焦点レンズアレー、6は現像器、7は転写帯電器、8は感光体を清掃するクリーニング器、9は除電用ランプを示す。感光体1は矢印で示す方向に回転され、帯電器2によって均一に帯電される。原稿4は露光ランプ3によって照射され、原稿画像が短焦点レンズアレー5を介して感光体1上に結像される。感光体上に形成された静電潜像は現像器6によって可視像化され、この可視像化されたトナー像は転写帯電器7で転写紙に転写され、転写紙は定着部（図示せず）に搬送されて定着され、機外に搬出される。なお、本実施例はカールソン方式について示したが、三層感光体を用いたNP方式にも適用できることは言うまでもない。

【0008】本発明を用いた実施例によれば、上記の帯電器、現像器、転写器、クリーニング器の中の少なくとも一つまたはその一部と感光体とは一体化されて、一体の交換しうるユニットとして構成され、且つ該ユニットの各部をその諸特性に応じて適正画像形成条件に自動的に調整するための記憶装置を該ユニットに組合わされる。

【0009】図示の実施例では、感光体1、帯電器2、現像器6の現像電極、クリーニング器8が一体化されて、感光体1の耐久寿命切れにともなう交換時にユニットとして交換される。

【0010】このユニットには、ROM（P-ROMでもよい）等の記憶素子10が組込まれ、これは本体部に設け

た中央演算処理装置 (CPU)12とコネクタ22により結合される。CPU12は、本体部に設けたランプ点灯回路13、高圧トランス14、15、現像バイアス回路16、除電ランプ回路17に接続される。上記の記憶素子10には、このユニットの各部がその諸特性に応じて適正画像形成条件で働くように、露光量、帯電量、現像バイアス値除電露光量を決定すべき情報が記憶されていて、これらの情報によりCPU12は本体部のランプ点灯回路13、高圧トランス14、15、現像バイアス回路16および除電ランプ回路17を駆動する。露光装置、帯電器、現像器、除電ランプおよび記憶素子は本体側とコネクタ22で電気的に結合されている。なお、記憶素子10はP-ROMでも良いとしたが、ユニットは各種材料例えば感光体および現像材の特性により、また、帯電系、現像系の組立公差によりバラツキが生じやすく、これらを単一なROMで制御するよりは、各々の特性に合わせてプログラムし情報入力可能なP-ROMの方が勝れていることは言うまでもない。

【0011】なお、上記の一体化されたユニットは破線18で示されていて、以下、これをキットと称する。

【0012】本発明を用いた実施例によれば、上記のキットの使用量すなわち耐久量および使用環境を検知して、その検知手段の情報に応じて調整量を変化させることができる。

【0013】図2は使用量を検知する手段を設けて、その情報により調整量を変化させるようにした実施例を示す。この実施例においては、使用量を記憶する素子、例えばRAM19がキット18に組込まれる。すなわち、例えば稼動時間をカウントするかコピー枚数をカウントすることにより使用量をRAM19に入力し、これにより材料の劣化度合いもしくは残量検知手段として、その情報をCPU12に入力し、これにより調整量を変化させる。RAMへの入力信号としては、例えば画像形成装置の電源がONされている比較的短時間においては、装置の休止時間、稼動時間を信号として得ることにより、例えば感光体の電位変動(立上り、立下り現象—主として残留電位の休止時間、稼動時間による変動)を補正することができる。また現像剤の現像特性変動(立上り、立下り現象—主として一材の休止、稼動時間によるトリボの変動)を補正することもできる。

【0014】さらには前述以上の長時間使用においてたとえ本体の電源がOFFされても、本体あるいはキットに設けた電氣的、あるいは計数器等の機械的な信号を電氣的に変化させた信号を得ることにより、感光体の使用量をRAMに入力することができる。信号源の例としては積算型カウンター、化学反応型カウンター、光変化型カウンター、電氣量回転数積算型カウンター等を電氣的にRAMの入力信号に変換して用いることができる。これらをまとめて図2に23、23'として示す。

【0015】図3は、キットの設置環境を検知する手段

を設けて、その情報により調整量を変化させるようにした実施例を示す。この実施例においては、例えば温度、湿度、気圧等を検知する環境検知装置20がキット18に組込まれる。この装置の情報は、記憶素子10、RAM19の情報と同様にCPU12入力されて、キットを最適画像形成条件に調整する。なお、環境検知装置20はキットの外部すなわち本体側に組み込まれていても良く、この場合を図3では20'で示している。

【0016】図4は、例えば材料の変更により、本体シーケンスを書き換える必要がある場合の補助手段として、演算処理装置21をキット18に組込んだ実施例を示す。これは、例えば前回転、後回転時間、帯電、露光ON-OFFタイミング等の変更である。さらに例えばカラー画像形成においては、カラー用ROM、RAM、CPUを組込ませておけばカラーキットをセットするだけでカラーの最適条件で画像形成をすることができる。

【0017】同様に写真用、複写用キット、ライン複写用キット、等目的別のキットを用いる場合に専用のROM、RAM、CPUを組込ませることができる。

【0018】以上のようにキットには目的別に多種考えられるが、そのうちの目的に合わせたキットの設定におけるフローチャートを図5に示す。なお、チャート中の条件は全部満すものでなくても良く、その中の一つを満足するものであっても良い。

【0019】ここで感光体の特性による潜像の不均一さを予め設定されたROMの情報により補正する場合の実施例を示す。感光体単体での特性測定時(出荷チェック)において、帯電電流一定(例えば $-500\mu A$)における感光体の暗部電位(V_D)が $-500V$ であれば、電流値の補正はしなくても本体側は $-500\mu A$ を出力し、 $-500V$ の適正電位になる。しかし、本体側の出力が $-500\mu A$ で V_D が $-400V$ 、もしくは本体側の出力が $-500\mu A$ で V_D が $-600V$ になるものは、各々の本体側の出力電流値をプロセスキット側のROMにより $-600\mu A$ 、 $-400\mu A$ に補正することで V_D を一定($-500V$)にする。

【0020】また白地電位(V_L)が適正值 $-100V$ であれば露光ランプの点灯電圧は補正せずに、例えば $6.5V$ で点灯させる。しかし、点灯電圧が $6.5V$ で $V_L = -150V$ 、もしくは同 $6.5V$ で $V_L = -50V$ のときは、各々点灯電圧をキット側のROMにより $7.0V$ 、 $6.0V$ に補正し V_L を一定の $-150V$ にする。さらに反射濃度0.3程度の中間調電位 V_B が $-250V$ であれば、 $-150V$ の現像バイアス電圧(B_D)を補正しないが、電位が $-300V$ 、 $-200V$ であれば各々これらを補正するために、現像バイアス電圧をROMの記憶にもとづいて $-200V$ 、 $-100V$ に変化させて一定濃度の像を得る。これら帯電電流、点灯電圧、現像バイアスは単独で補正しても良いし、これらを組合せても良い。従って、感光体単体での特性チェックにおいて、帯電電流、点灯電圧、現像バイアスを一定にしてそれらの電位等を測定し、その値によりP-ROMに数値を入

力することができる。

【0021】この様に、前述本発明を用いた実施例によれば、ユニットを交換しても、そのユニットの各部が適正画像形成条件に自動的に調整されて、常に良好な画像を形成できるばかりでなく本体と安定して連動することができる。また、黒色画像形成用ユニットから他のカラー画像形成用ユニットへの交換した場合もしくは他の目的別、例えば写真画像、ライン画像用ユニットを使用する場合においても、画像形成条件を簡単に調整され得る。さらに感光体、現像材等の耐久環境特性の変化に対しても安定な画像を形成できる。このように前述実施例によれば、感光体等の画像形成部品あるいは装置を画像形成装置本体に装填しただけで、この本体に対して交換した部品に応じた画像形成条件に本体側の諸条件を自動的に調整され且つ耐久性、環境等に応じて部品の特性が変化しても常に安定な画像を形成するように自動的に調整される画像形成装置を提供することができる。

【0022】

【発明の効果】以上説明した通り、本発明によれば、プロセスキットを画像形成装置本体に装着すれば、プロセスキットが有する特性に応じた画像形成条件をプロセスキットの使用状況に応じて自動的に装置本体側で制御することができ、常に安定な画像を形成することのできるプロセスキットを提供することができる。

【図面の簡単な説明】

【図1】本発明を適用したプロセスキットを装着した画像形成装置の一実施例を示す概略図、

【図2】その変形を示すブロック図、

【図3】その変形を示すブロック図、

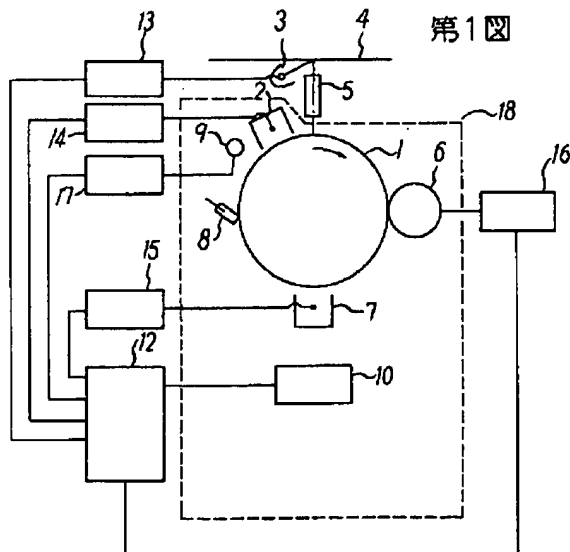
【図4】その変形を示すブロック図、

【図5】キットの設定の一例を示すフローチャートである。

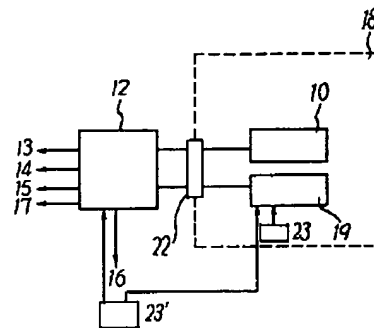
【符号の説明】

- | | | |
|----|---------------|----------|
| 10 | 1…感光体 | 2…帯電器 |
| | 3…露光ランプ | 4…原稿 |
| | 5…短焦点レンズアレー | |
| | 6…現像器 | 7…転写帯電器 |
| | 8…クリーナ | 9…除電用ランプ |
| | 10…記憶素子 | 12…CPU |
| | 13…ランプ点灯回路 | |
| | 14, 15…高圧トランス | |
| | 16…現像バイアス回路 | |
| | 17…除電ランプ回路 | |
| 20 | 18…キット | 19…RAM |
| | 20…環境検知回路 | |
| | 21…演算処理装置 | |
| | 22…コネクタ | |
| | 23, 23'…カウンタ | |

【図1】

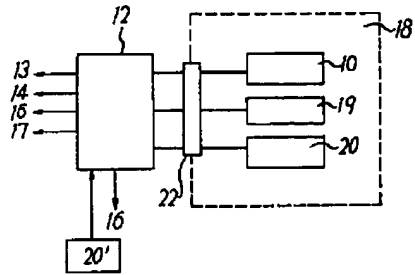


【図2】



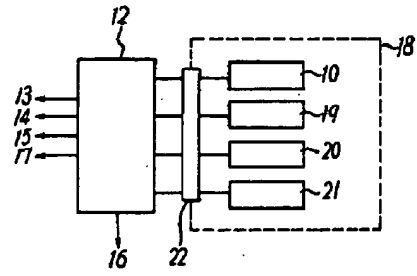
【図3】

第3図



【図4】

第4図



【図5】

第5図

